

(54) NON-VOLATILE MEMORY DEVICE

(11) 63-225999 (A) (43) 20.9.1988 (19) JP

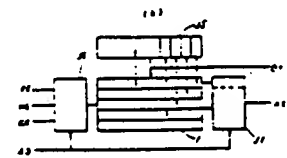
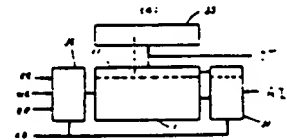
(21) Appl. No. 62-58808 (22) 16.3.1987

(71) HITACHI LTD (72) NAOMIKI MITSUISHI

(51) Int. Cl.⁴ G11C17/00, G06F12/14

PURPOSE: To prevent the unauthorized initialization of a storage cell from being generated and to realize security with high quality, by prohibiting the erasure of a designated area based on a data written or transferred after transferring the data to a part of storage data latch means and performing simultaneous erasure.

CONSTITUTION: When an erasing signal ER is inputted to a write control circuit 36 and also, an all select signal AS goes to (1), after the data in a load address (for example, 11 of first row) designated in advance in a non-volatile cell group 1 is read out first to a column latch 35, then, it is held, the full arc simultaneous erasure of the storage cell group 1 is performed. Afterwards, the content of the column latch 35 is written on the load address again. Or, a bit of storage information in which a load address is set as a unit is inputted in the load address (for example, 11 of first row) designated in advance, and also, the data of a designated load address is transferred to the column latch 35 at the time of performing entire erasure, and the erasure of the data on a part of load address is prohibited based on a bit of protection information.



11: address decoder, A1: address input, DT: data, RE: readout signal, WE: write signal

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-225999

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)9月20日

G 11 C 17/00

3 0 9

E-7341-5B

G 06 F 12/14

3 1 0

A-7737-5B

G 11 C 17/00

3 0 9

F-7341-5B

C-7341-5B

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 不揮発性記憶装置

⑮ 特 願 昭62-58808

⑯ 出 願 昭62(1987)3月16日

⑰ 発 明 者 三 ツ 石 直 幹 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

不揮発性記憶装置

2. 特許請求の範囲

1. 不揮発性記憶素子群と、前記不揮発性記憶素子群に対する電気的な書き込み・消去を可能とする手段を有する不揮発性記憶装置において、少なくとも1単位の記憶素子の内容を保存しつつ、他の全素子の同時消去を可能としたことを特徴とする不揮発性記憶装置。

2. 前記不揮発性記憶素子群とは別個に、揮発性記憶手段を有し、同時消去に先立って前記不揮発性記憶素子群内の少なくとも1単位の記憶素子列の内容を前記揮発性記憶手段に転送し、保持させた後、前記不揮発性記憶素子群の全素子の同時消去を行ない、その後に前記揮発性記憶手段に保持した内容を、前記不揮発性記憶素子群の元の記憶素子に書き込むことにより、前記保存を行なうようにしたことを特徴とする特許請求の範囲第1項記載の不揮発性記憶装置。

3. 前記揮発性記憶手段に転送された内容に基づいて前記保存を行なうか行わないかを制御するようにしたことを特徴とする特許請求の範囲第1項乃至第2項記載の不揮発性記憶装置。

4. 前記揮発性記憶手段に転送された内容の一部に保護情報を有し、これに基づいて前記不揮発性記憶素子群内の各単位記憶素子列の消去を行なうか否かを決定し、前記保護情報によって選択された単位記憶素子の消去を確保すると共に、他の全素子の同時消去を行なうようにして保存する記憶素子を選択可能にしたことを特徴とする特許請求の範囲第3項記載の不揮発性記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体記憶技術さらには電気的に書き込み・消去が可能な不揮発性記憶装置に係り、特に記憶素子の全面同時消去が可能な不揮発性記憶装置に利用して有効な技術に関するものである。

〔従来の技術〕

従来より、EEPROM (E L e c t r i c a

lly Erasable and Programmable Read Only Memory)は、不揮発性記憶装置であり、かつ電氣的に書き換えが可能であるが、逆に、保存すべきデータが書き換えられてしまう虞れがあるために問題となっていた。そこで、不揮発性記憶装置のデータの保護の方法として、セキュリティ用ビットを設け、このビットの状態により記憶装置外部からのアクセスを禁止する方法が提案されている。このようなセキュリティ用ビットによるデータの保護方式については例えば、「エレクトロニックデザイン (Electronic Design)」, Maroh 3, 1983, pp 123~128等に記載されている。すなわち、通常の書き換えを目的とする記憶素子群とは分離された不揮発性記憶素子からなる書き込み専用のセキュリティレジスタを設け、このレジスタの特定ビットの状態により記憶素子群へのアクセスを禁止するというものである。この場合、セキュリティレジスタは、記憶素子群の全面同時消去動作のときのみ消去が行

なえるような構成としてあり、これによって記憶素子群内のデータを保護することを示す保護情報がセキュリティレジスタに書き込まれた後は、記憶素子群のデータを破壊せずには、記憶素子群にアクセスすることができないようになっており、データの機密保護が達成される。

〔発明が解決しようとする問題点〕

しかしながら、この方法では、記憶素子群の全面同時消去によりセキュリティレジスタ内の情報も失われ、初期状態と同じ状態になるように構成されているために、全面同時消去後に不正使用される虞れを除去することはできなかった。すなわち、記憶装置を全面同時消去によって初期化した後に、任意の不正なデータを書き込んで再使用することが可能であるためである。これは、例えばキャッシュカード等に応用されて、金融情報等、重要な情報を記憶している場合に問題であった。また一方において、EEPROMは書き込み・消去時間が長いために、記憶容量の大容量化に伴い、記憶素子群の全面消去機能はテスト時間の短縮の

ために不可欠な機能となっており、これらの両立が問題となっていた。

ところで、記憶素子群のデータ線ごとにカラム(列)ラッチ回路を設け、ロー(行)アドレスごとに一括して書き込みを行なうことを可能としたEEPROMが提案されている(日立評論社、昭和61年7月25日発行「日立評論第68巻第7号」第75頁～第78頁参照)。このカラムラッチは、複数データの同時書き込み、あるいは書き換えを可能とし、単位データ当りの書き込み・書き換え時間を実効的に短縮するためにのみ利用されていた。

本発明の目的は、記憶素子群の全面同時消去を可能としながら、かつ、必要に応じて一部記憶データを前記同時消去後も保存できるようにすることによって記憶装置の不正な初期化を禁止することを可能にした不揮発性記憶装置を提供し、また係る一部データの保存により、高度な機密保護を可能とする技術を提供することにある。

この発明の前記ならびにその他の目的と新規な特徴については、本明細書の記述および添付図

面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、不揮発性記憶素子群の外部に記憶データのラッチ手段を設け、同時消去に先立って不揮発性記憶素子群の記憶データの一部をこのラッチ手段に転送・保持し、同時消去を行なった後に前記記憶データの再書き込みを行なう、あるいはラッチ手段に転送したデータに基づいてそのデータにより指定された領域もしくはそれ以外の領域についてののみ同時消去を行なうようにするものである。

〔作用〕

上記した手段によれば、一部の記憶データについては一旦消去後再び書き込み、あるいは不揮発性記憶素子行列内の所定の領域にデータ保護情報を書き込んだ後は指定された領域の消去を禁止できるようにして、記憶素子行列の全面同時消去が可能で、かつ記憶素子行列の不正な初期化を防止す

るとともに、データ保護のための情報や製造番号、識別コード等一旦書き込みを行なった後は変更を阻止すべきデータについては、全面消去の際にも保存ができるようにして、高度な機密保護を可能とするという上記目的を達成するものである。

〔実施例〕

以下、本発明の実施例を、図面を用いて詳細に説明する。

具体的な実施例を説明する前に、先ず、第9図を用いて本発明が適用される電氣的に書き込み・消去が可能な不揮発性記憶装置の基本構成について説明しておく。

第9図において、1はMNOS（メタル・ナイトライド・オキシド・セミコンダクタ）のような不揮発性記憶素子が行列上に配設された不揮発性記憶素子群、31はアドレスデコーダ、35は記憶素子群1の各データ線ごとに設けられたカラム（列）ラッチ回路、36は書き込み・消去制御回路である。アドレスデコーダ31に対してアドレス入力AI、記憶素子群1に対してデータDT、

書き込み・消去制御回路36に対して書き込み信号WEをそれぞれ加えることにより、データの書き込みまたは書き換えが行なわれ、また、アドレス入力AI、読出し信号REを加えることにより、読出しデータDTが得られる。アドレス入力AI、消去信号ERを加えることにより指定アドレスの消去が行なわれる。さらに、アドレスデコーダ31に対してオールセレクト信号AS、書き込み・消去制御回路36に対して消去信号ERを加えることにより、記憶素子群1の全面消去が行なわれる。特に制限はされないものの、オールセレクト信号ASが入力されるとデコーダ31により全てのワード線が同時に選択される構成になっている。また、カラムラッチ回路35は全データ線に対応して設けられており、これによってロー（行）アドレスごと一括して書き込みを行なうことができるようにされている。

第10図は、第9図の記憶装置に対する書き込みまたは書き換え動作のタイムチャートである。

記憶素子群1に対する書き込みは、第10図に

示すように、アドレス入力AI、データDTを与えると共に、書き込み信号WEを与えることにより起動される。先ず、書き込み・消去制御回路36によって内部動作モードは読出し状態となり、指定ローアドレス内の全データをカラムラッチ35に読出し、退避すると共に、データ入力を受け付け、入力カラムアドレスと入力データに従ってカラムラッチ35の内容を書き換える。特に制限はされないものの、一定時間、例えば500μs経過後に、データ入力の受付を終了し、内部動作モードは消去状態となり、指定ローアドレスに相当する全記憶素子を消去する。次に、内部動作モードは書き込み状態となり、カラムラッチの内容が指定ローアドレスに相当する記憶素子に書き込まれる。これを一連の動作として行ない、ローアドレス単位の一括書き込みが可能となっている。このために必要なタイマ機能等が書き込み・消去制御回路36に設けられている。

一方、記憶素子群1に対する消去は、消去信号ERを与えることにより起動され、内部動作モード

は消去状態となり、オールセレクト信号ASが“0”状態ではアドレス入力AIに対応するローアドレスに相当する記憶素子が選択されて消去され、またオールセレクト信号ASが“1”状態では全記憶素子が選択されて消去される。

さらに、ローアドレス内の一部データの消去は、前記書き込み動作において、予め指定される“0”または“1”を、消去すべきアドレスに書き込むことによって行なわれる。すなわち、消去状態が“0”と指定されていれば“0”を、また消去状態が“1”と指定されていれば“1”を書き込むことによって行なう。

第9図に示すような構成の不揮発性記憶装置に対して、本発明を適用した例を第1図に示す。

第1図(a)、(b)は、本発明に係る不揮発性記憶装置の第1および第2の実施例の概略を示す。

第1図(a)に示す第1の実施例の記憶装置(EEPROM)においては、消去信号ERが与えられ、かつオールセレクト信号ASが“1”に

された場合には、先ず不揮発性記憶素子の群1内の予め指定されたローアドレス（例えば第1図における第1行11）内のデータをカラムラッチ35に読み出し、保持してから、記憶素子群1の全面同時消去を行ない、その後カラムラッチ35の内容を再び前記ローアドレス11に書き込むという一連の動作が実行される。

すなわち、この実施例では、全面消去の際に指定されたローアドレスでは読み出し・消去・再書き込みが実行され、それ以外のローアドレスでは一括消去が実行される。

一方、第1図(b)に示す第2の実施例では、予め指定されたローアドレス（例えば第1行11）に、ローアドレスを単位とした保護情報を入れておくと共に、全面消去時にその指定ローアドレスのデータをカラムラッチに転送し、その保護情報に基づき、一部ローアドレスのデータの消去を阻止するというものである。

以下、それぞれの実施例のより具体的な実施例について説明する。

の読み出しや“0”または“1”の書き込み、消去の各動作が行なわれる。

第1表

	ソース	ゲート	ワード線	ワード線	ドレイン	ウェル
	S	I	W	V	D	WEL
読み出し	0	V _{cc}	0	V _{cc}	Dout	0
0書き込み	0	V _{cc}	0	0	HIZ	0
1書き込み	0	V _{cc}	0	0	HIZ	0
消去	0	V _{cc}	0	0	HIZ	0

すなわち、読み出し動作の場合には、ワード線Wに対しアドレスデコーダ31により電源電圧V_{cc}（例えば5V）を加え、高圧ワード線WHを0Vとすることによって、記憶素子を選択し、その内容（Dout）をドレインDよりデータ線25に読出す。また、書き込みの場合には、ワード線Wに対しアドレスデコーダ31によりV_{cc}の電圧を加え、高圧ワード線WHを高電圧制御回路321、322より同じくV_{cc}の電圧を加え、ウェルWELLに対し高電圧制御回路324より負の高電圧-V_{pp}（例えば-12V）を加え、更に

第2図は、第1の実施例における記憶装置の詳細図である。31はアドレスデコーダ、321～329は高電圧制御回路、33はセンスアンプ、34は出力バッファ、35はカラムラッチ、36は書き込み・消去制御回路、111、112、121、122は記憶素子を構成するトランジスタ、113、123は記憶素子のゲート電圧をオン・オフするトランジスタである。この実施例では、第9図の不揮発性記憶装置における書き込み・消去制御回路36に対する書き込み信号WE、消去信号ERの入力論理ゲート51～53、書き込み・消去制御回路36からアドレスデコーダ31に対する制御信号線471及び、カラムラッチ35から書き込み・消去制御回路36に対する制御信号線48が付加されている。

第2図の記憶装置においては、第1表に示すような電圧条件を記憶素子111、112、121、122のソースS、分離ゲートI、高圧ワード線WH、選択ワード線W、ドレインDおよびウェル領域WELLに対して与えることにより、データ

書き込みデータの“0”/“1”に従って、それぞれデータ線(D)に-V_{pp}/V_{cc}の電圧を加えることによって、選択した記憶素子に“0”/“1”を書き込むことができる。また、ローアドレス単位の消去の場合には、ワード線Wに対しアドレスデコーダ31によりV_{cc}の電圧を加え、高圧ワード線WHに対し高電圧制御回路321、322より-V_{pp}の電圧を加え、ウェル26に高電圧制御回路324よりV_{cc}の電圧を加えることによって、選択した記憶素子の内容を消去する。書き込みまたは書き込み動作においては、特に制限はされないものの、第9図に示した回路と同じように指定ローアドレスの内容の読み出しおよびカラムラッチ35への送達、カラムラッチ35の内容の書き込み動作、選択ローアドレスの消去動作、およびカラムラッチ35の内容の選択ローアドレスへの書き込み動作が、一連の動作として書き込み・消去制御回路36の制御によって行なわれる。

本発明においては、第9図の基本装置に対して、更に論理ゲート51～53が追加され、また、書

込み・消去制御回路36がアドレスデコーダ31をも制御する構成とされ、全面同時消去の場合、消去動作の前に予め指定されたローアドレスのデータカラムラッチへ退避し、消去動作後に前記カラムラッチの内容を前記ローアドレスへ書き込むように制御を行なう。

すなわち、第2図において、全面同時消去を行なうべくオールセレクト信号AS及び消去信号ERと共に“1”とすると、論理ゲート51、52を介して制御信号C1は“1”となり、論理ゲート53を介して制御信号C2は“0”となって、書き込み・消去制御回路36に対しては、前記した書き込みまたは書き換えと同様の動作が支持される。これによって、記憶装置の内部動作は退避-消去-書き込みの一連の動作を行なう。

第3図に、本実施例におけるアドレスデコーダ31の構成を示す。

A1はアドレス入力、ASはオールセレクト信号、CSは書き込み・消去制御回路36より信号線471を介してアドレスデコーダに対し出力され

カラムラッチ35の内容の前記指定ローアドレスへの再書き込みが一連の動作として行なわれ、前記指定ローアドレスの内容の保存が可視化されている。

特に制限はされないものの、前記退避動作において、データ入力を受け付け、前記カラムラッチ35に退避した内容を書き換え、再書き込みを行なうことができる構成としてもよい。また、前記データ入力の禁止つまり書き換えを禁止する構成としてもよい。この構成は記憶内容が機密保護を要するようなものである場合には適当であろう。

更に、第2図の実施例においては特に制限はされないものの、前記カラムラッチ35に退避した内容に保護情報を含ませ、その内容に従って前記全面同時消去後の再書き込みを行なうか、行なわないかを選択する構成となっている。すなわち、記憶素子112に前記保護情報を記憶させ、前記記憶素子112に対応するカラムラッチ35の保持データを信号線48によって、書き込み・消去制御回路36へ供給し、その動作を変更するようにし

る制御信号である。通常動作時には、すなわち、オールセレクト信号ASが“0”状態ではゲート311、312によりアドレス入力A1に従って、ワード線W1またはW2を選択するための信号が形成される。前記予め指定された第1ローアドレスは、ワード線W1に対応するローアドレスであり、全面同時消去の場合、すなわち、オールセレクト信号ASが論理“1”の状態では常に選択される。一方、書き込み・消去制御回路36より信号線471を介して供給される制御信号CSは消去動作時にのみ“1”となり、退避動作及び書き込み動作時には“0”となるようにされている。従ってワード線W2に対応するローアドレスはオールセレクト状態では消去動作時にのみ選択され、消去のみが行なわれる構成となっている。

第4図に、本実施例における全面同時消去動作のタイムチャートを示す。

全面同時消去時には、書き込み・消去制御回路36の制御に従い、前記第1ローアドレスの内容のカラムラッチ35への退避、全面同時消去、及び

ている。例えば前記記憶素子112の内容が“0”であると、前記信号線48が“0”となって前記書き込み消去制御回路に対し再書き込みを指示し、前記記憶素子112の内容が“1”の場合には、全面同時消去によって動作を終了し、前記再書き込みを行なわないように指示するようになっている。

第5図に、本実施例における全面同時消去時の書き込み制御回路36による制御手順のフローチャートを示す。

なお、ワード線単位（ローアドレス単位）の消去は、前記第9図と同様に行なうことができる。

本実施例によれば、全面同時消去のみが可能でない揮発性記憶装置においても、消去に際して一部記憶内容を保存することが可能となる。

更に、カラムラッチ列を複数設け、前記退避及び再書き込みを複数回行なうことにより、保存が可能な記憶容量を増加させることも可能である。

なお、上記実施例では、全面同時消去開始後、再書き込み完了以前に、電源電圧が低下、あるいは遮断された場合には前記保存が行なえなくなるが、

これに対しては、バックアップ用のコンデンサを設け、必要な電力をコンデンサに保持すれば、電源電圧の低下・遮断の後も記憶装置は動作を行ない、前記保存を行なうことができる。あるいは、記憶素子群1の外部に更に不揮発性記憶素子を設け、前記書き込み完了以前に電源電圧の低下・遮断が生じたことのみを前記不揮発性記憶素子に記録し、以後の動作の一切を禁止する構成とすれば、前記コンデンサの容量を小さくし、かつ機密保護を達成することができる。ただし、消去及び書き込みに要する時間は、10～50msecであり、前記した電源電圧の低下・遮断は一般には問題にならないであろう。

第6図は、第1図(b)に示す第2の実施例の具体例を示す不揮発性記憶装置の構成図である。

本実施例においては、第2図の実施例に示されている論理ゲート51～53がとり除かれ、オールセレクト信号ASが、書き込み・消去制御回路36に対して直接入力されている。そして、外部から全面同時消去として、オールセレクト信号AS

例と同様に、消去信号ERに基づいて消去動作時のみにおいてのみ“1”とされる。また、消去許可信号PM1、PM2は、前記全面消去時のカラムラッチ35への退避後に、カラムラッチ35内に保持された保護情報に基づいて形成され、それぞれ第1ローアドレスと第2ローアドレスの内容を消去するか否か決定する。特に制限はされないものの、PM1、PM2は消去動作時に有効とされ、“0”または“1”となり、それ以外のときには“1”に固定されている。

PM1、PM2が“0”にされていると、第8図のアドレスデコーダにおいて対応するワード線は選択されず、消去は行なわれない。これによって第1ローアドレス内の保護情報に従った消去が実行される。

第8図に、本実施例における同時消去動作のタイムチャートを示す。

書き込み・消去制御回路36の制御に従い、まず内部が読出しモードとなり前記第1ローアドレスの内容がカラムラッチ35へ転送される。この状

及び消去信号ERが与えられると、内部動作モードは先ず読出し状態となって、第1の実施例と同様に、第1ローアドレスの内容がカラムラッチ35に転送される。この第1ローアドレスには、ローアドレスを単位とする保護情報が格納されており、前記カラムラッチ35に保持されたデータが信号線49を介して消去許可信号としてアドレスデコーダ31に入力される。この後に、内部動作モードは消去状態となり、前記消去許可信号に従って指定されたローアドレスについてのみ消去が行なわれる。ただし、再書き込み動作は行なわれない。

第7図に、本実施例におけるアドレスデコーダ31の構成を示す。

AIはアドレス入力、ASはオールセレクト信号、CSは書き込み・消去制御回路36より出力される制御信号、PM1及びPM2はカラムラッチ35より出力される消去許可信号である。

書き込み・消去制御回路36からアドレスデコーダ31に供給される制御信号CSは、第1の実施

例ではワード線W1のみが選択されている。次に、消去動作モードとなり、カラムラッチ35から出力された消去許可信号が“1”であるワード線は選択されて消去される。対応する消去許可信号が“0”であるとワード線は非選択とされ、消去が阻止され、記憶内容の保存がなされている。

本実施例によれば、ローアドレスを単位として任意のアドレス、任意の容量の記憶素子列の消去留保を行ない、同時消去動作後も記憶内容を保存することが可能であり、より多様な要求に応ずることができる。

また、前記保護情報は全ローアドレスに対応する必要はなく、例えば1ビットの保護情報で複数のローアドレスの保存を行なうか、行なわないかを決定するようにしてもよい。このようにすると、前記保護情報を記憶するに要する記憶容量を小さくすることができる。

更に、第2の実施例においては、保護情報を前記第1ローアドレスに記憶し、保存を行なうローアドレスを固定としてもよい。その方法としては、

例えば、第7図において、製造工程における配線の変更等により保存を行なうワード線に対応する消去許可信号PM1またはPM2を“0”に固定することによって可能である。このようにした場合には、同時消去に先立つ前記第1ロードアドレスの送還動作は不要となり、より簡単な構成とすることができる。

以上説明したように、前記第1実施例においては、不揮発性記憶素子群の外部に記憶データのラッチ手段を設け、同時消去に先立って不揮発性記憶素子群の記憶データの一部をこのラッチ手段に転送・保存し、同時消去を行なった後に前記送還データの再書き込みを行なうようにしたので、全面消去に先立って送還したデータは消去後も保存されるという作用により、記憶素子群の全面同時消去が可能で、かつ記憶素子行列の不正な初期化を防止するとともに、データ保護のための情報や製造番号、識別コード等一旦書き込みを行なった後は変更を阻止すべきデータについては、全面消去の際にも保存が

るようにして、高度な機密保護を可能とするという効果がある。

また、前記第2実施例においては、不揮発性記憶素子群の外部に記憶データのラッチ手段を設けラッチ手段に転送したデータに基づいてそのデータにより指定された領域もしくはそれ以外の領域についてのみ同時消去を行なうようにしたので、不揮発性記憶素子群内の所定の領域にデータ保護情報を書き込んだ後は指定された領域の消去を禁止できるという作用により、記憶素子群の不正な初期化を防止するとともに、データ保護のための情報や製造番号、識別コード等一旦書き込みを行なった後は変更を阻止すべきデータについては、全面消去の際にも保存ができるようにして、高度な機密保護を可能とするという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいう

までもない。

例えば以上の説明では主としてロードアドレス単位の書き込み・消去が可能な不揮発性記憶装置に適用した場合について説明したが、それに限定されるものではなく、電氣的に書き込み・消去が可能な不揮発性記憶装置、すなわちEEPROMであって、電氣的に全面同時消去が可能なものであれば、書き込み及び消去の単位はどのようなものであってもよい。また、書き込みと消去の単位が違っていてもよい。少なくとも第1の実施例は適用可能である。

また、カラムラッチは全データ線に対応させて設ける必要はなく、上記同様な動作を行なうものであれば何でもよい。各回路ブロックの具体的回路は、上記同様に動作を行なうものであれば何でもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である不揮発性記憶装置に適用したもののについて説明したが、この発明はそれに限定されず情報処理

装置等の機能を有する回路装置を同一半導体基板上に形成し、前記情報処理装置の制御によって前記不揮発性記憶装置の書き込み・消去が可能とされるようにしたシングルチップマイクロコンピュータその他EEPROM内蔵半導体集積回路装置一般に利用することができる。

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

(1) 全面同時消去に際して一部記憶データを保存することで、不正使用の防止とテスト時間の短縮の両立を図ることができる。

(2) 前記保存の方法として、全面同時消去に先立ち、一部記憶データを不揮発性記憶素子群外部に転送・保持し、全面同時消去を行なった後に前記記憶データの再書き込みを行なう構成とすることにより、全面消去型の不揮発性記憶装置についても適用が可能となる。

(3) 前記不揮発性記憶素子群外部に保持した

記憶データに保護情報を持たせることにより、前記保存を行なうか、行なわないかを選択することが可能となる。

(4) 前記保護情報に基づいて、ロー(行)アドレス単位の消去留保を行なうことにより、保存すべき記憶データのアドレス及び容量を、前記ローアドレスを単位として、任意に設定することが可能となる。

(5) 同時消去に際して、前記消去留保を行なうべきローアドレスを固定することにより、前記一部記憶データの不揮発性記憶素子群外部への転送が可能となり、より簡単な構成とすることができる。

4. 図面の簡単な説明

第1図(a)、(b)は本発明の第1と第2の実施例の概略を示す不揮発性記憶装置のブロック構成図。

第2図は第1の実施例の詳細を示す回路構成図。

第3図は第1実施例のアドレスデコーダの構成図。

成図。

第4図は第1実施例の全面消去時のタイムチャート。

第5図は第2図の実施例における全面消去時のフローチャート。

第6図は第2の実施例の詳細を示す回路構成図。

第7図は第2実施例のアドレスデコーダの構成図。

第8図は第2実施例における全面消去時のタイムチャート。

第9図は本発明が適用される不揮発性記憶装置の基本構成図。

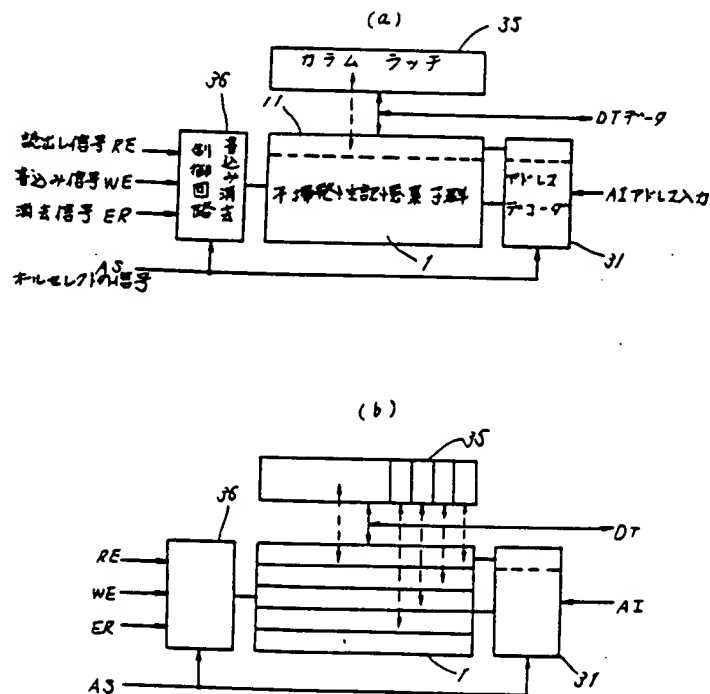
第10図は第9図の記憶装置における書き込み時のタイムチャートである。

1……不揮発性記憶素子群、31……アドレスデコーダ、33……センスアンプ、34……出力バッファ、35……揮発性記憶手段(カラムラッチ)、36……書き込み消去制御回路。

代理人 弁理士 小川勝男

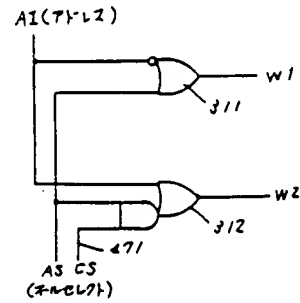
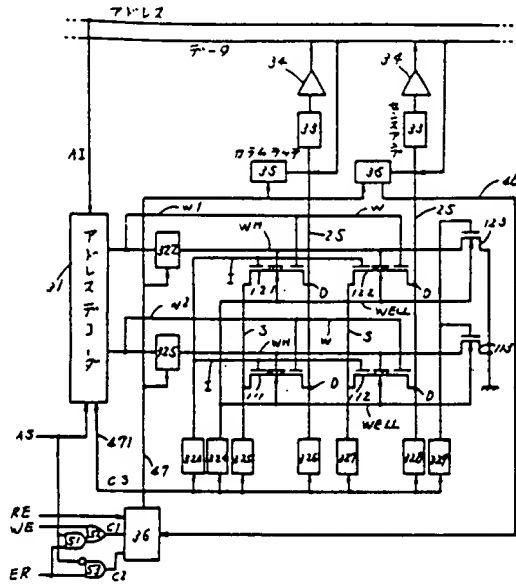


第 1 図

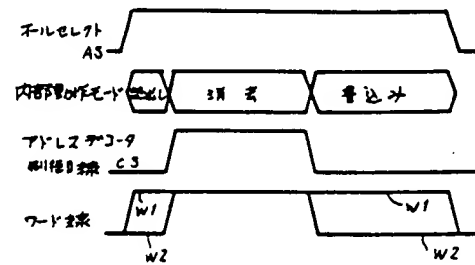


第 3 図

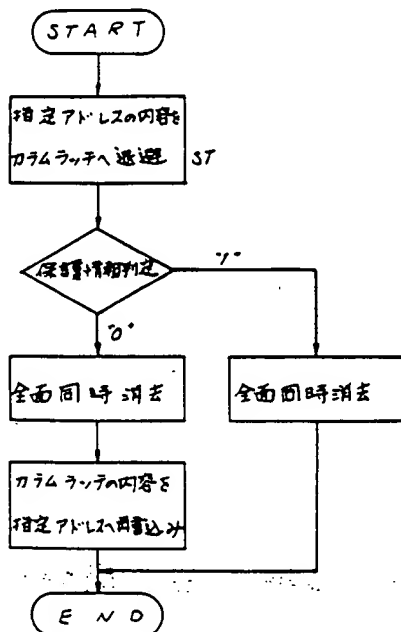
第 2 図



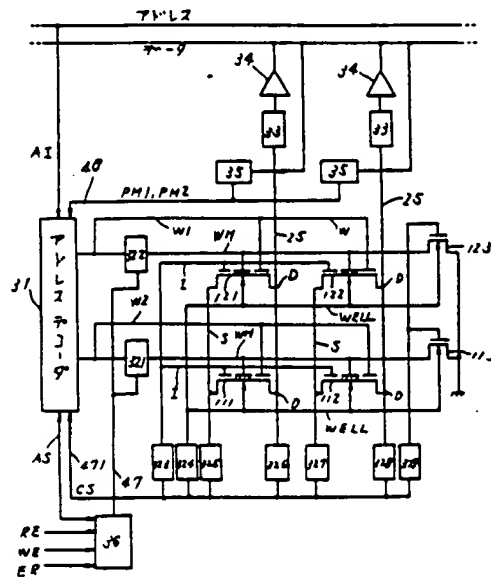
第 4 図



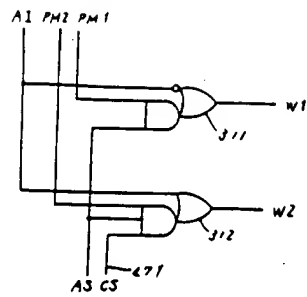
第 5 図



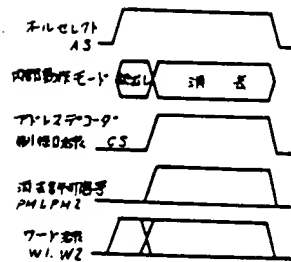
第 6 図



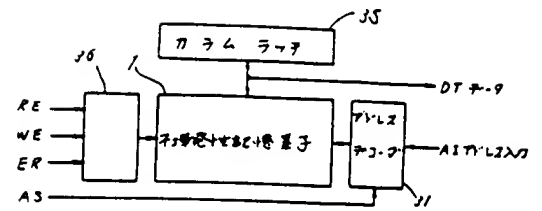
第 7 図



第 8 図



第 9 図



第 10 図

